

Checklist Form

Version 3.0

Foundry and Support Contact Information

Foundry ams AG
Process 0.35µm SiGe-BiCMOS - S35xx – hitkit 4.10
Date 09/2012

SPICE Model Support Contact

Name Thomas Moerth
Phone +43 3136/500 31587
Email hitkit@ams.com

EDA Tools Supported and Verified for Use with this PDK

Type	Vendor and Tool	Version
Schematic	Cadence Composer	IC6.1.5.500.10
Simulation Control	Cadence Analog Design Environment	IC6.1.5.500.10
Circuit Simulator (A)	Cadence Spectre Cadence Ultrasim Synopsys HSPICE	MMSIM 10.1.1.279.isr17 MMSIM 10.1.1.279.isr17 2009.09
Layout Editor	Cadence Virtuoso-XL Cadence Chip Assembly Router	IC6.1.5.500.10 ICC 11.241
DRC Checker	Cadence Assura Mentor Calibre	4.1_USR2_HF14 2012.2
LVS Checker	Cadence Assura Mentor Calibre	4.1_USR2_HF14 2012.2
Parasitic Extractor	Cadence Assura Mentor Calibre	4.1_USR2_HF14 2012.2

PDK Details

Option	Data
Database	OpenAccess
PCell Language	Skill
Callback Language	Skill
Layout Transfer Format	GDSII
If Database is OpenAccess	
Reference PDK Version	hitkit 3.80

S35 Foundry Process Documents

Document	Document Number & Title	Section	Revision	Date
Design Manual (Devices)	- See individual documents below			
Electrical Parameters	ENG-219: S35 ProcessParameters		5.0	May 2007
	ENG-308: S35 12V HBT Module PP		1.0	Oct 2006
Design Layout Rules	ENG-218: S35 Design Rules	all	6.0	May 2011
	ENG-309: S35 12V HBT Module DR		2.0	Jan 2007
SPICE Model Library	ENG-219: S35 Process Parameters	4	5.0	May 2009
	ENG-308: S35 12V HBT Module PP		1.0	Oct 2006
SPICE Model Checklist	GSA Spice Model Checklist S35		1.2	June 2012
RF Parameters/Modeling	ENG-221: S35 RF Spice Models	all	3.0	Nov 2005
Noise Model	ENG-225: S35 Noise Parameters	all	3.0	Jun 2011
Matching Models	ENG-223: S35 Matching Parameters	all	2.0	May 2006
ESD Guidelines	ENG-236: 0.35u ESD Design Rules		3.0	Oct 2012
DRC Runset	ENG-218: S35 Design Rules	4	6.0	May 2011
	ENG-309: S35 12V HBT Module DR		2.0	Jan 2007
LVS Runset	ENG-218: S35 Design Rules	5	6.0	May 2011
	ENG-309: S35 12V HBT Module DR		2.0	Jan 2007
Parasitic Extraction Runset	ENG-219: S35 ProcessParameters		5.0	May 2007
	ENG-308: S35 12V HBT Module PP		1.0	Oct 2006
Layer Map	ENG-218: S35 Design Rules	3	6.0	May 2011
	ENG-309: S35 12V HBT Module DR		2.0	Jan 2007

S35 Device Table

modelFile	cellName	modelName	symbol	sym_term	cdfParam	spectre	hspiceD	layout	pcell	auCdl	auLvs
cap.scs	cmim	cmim	y	2	6	y	y	y	y	y	y
cap.scs	cpoly	cpoly	y	2	11	y	y	y	y	y	y
cap.scs	cpolyc	cpoly	y	3	6	n	n	y	y	n	n
cap.scs	csink	csink	y	2	6	y	y	y	y	y	y
cap.scs	cstack	cstack	y	2	8	y	y	y	y	y	y
cap.scs	cvar	cvar	y	3	6	y	y	y	y	y	y
cap.scs	jvar	jvar	y	3	4	y	y	y	y	y	y
cmos53.scs	ncapfet	modn	y	4	7	y	y	n	n	n	y
cmos53.scs	nmos30m	modn30m	y	4	4	y	y	y	y	y	y
cmos53.scs	nmos4	modn	y	4	14	y	y	y	y	y	y
cmos53.scs	nmosh4	modnh	y	4	3	y	y	n	n	y	y
cmos53.scs	nmosm4	modnm	y	4	13	y	y	y	y	y	y
cmos53.scs	nmosmh4	modnmh	y	4	3	y	y	n	n	y	y
cmos53.scs	pcapfet	modp	y	3	7	y	y	n	n	y	y
cmos53.scs	pldmos	modpld	y	4	6	y	y	y	y	y	y
cmos53.scs	pmos4	modp	y	4	13	y	y	y	y	y	y
cmos53.scs	pmosm4	modpm	y	4	13	y	y	y	y	y	y
cmos53.scs	subdiode	nd	y	2	2	y	y	n	n	y	y
cmos53.scs	welldiode	pd	y	2	2	y	y	n	n	y	y
esddiode.scs	esdfdn5	esdfdn5	y	2	3	y	y	y	y	y	y
esddiode.scs	esdfdp5	esdfdp5	y	3	3	y	y	y	y	y	y
esddiode.scs	esdgc5	esdgc5	y	2	3	y	y	y	y	y	y
esddiode.scs	esdgcp5	esdgcp5	y	3	3	y	y	y	y	y	y
res.scs	nwd	nwd	y	2	2	y	y	n	n	y	y
res.scs	pfuse	rpoly1	y	2	11	y	y	n	n	y	y
res.scs	pnwd	nwd	y	2	2	y	y	n	n	y	y
res.scs	rdiffn3	rdiffn3	y	3	4	y	y	y	y	y	y
res.scs	rdiffp3	rdiffp3	y	3	4	y	y	y	y	y	y
res.scs	rwell	rwell	y	3	4	y	y	y	y	y	y
res.scs	rpoly1	rpoly1	y	2	11	y	y	y	y	y	y
res.scs	rpoly2	rpoly2	y	2	11	y	y	y	y	y	y
res.scs	rpolyb	rpolyb	y	2	11	y	y	y	y	y	y
res.scs	rpolyh	rpolyh	y	2	10	y	y	y	y	y	y
res.scs	zd2sm24	zd2sm24	y	3	0	y	y	n	n	y	y
vbic.scs	lat2	lat2	y	5	1	y	y	y	n	y	y
vbic.scs	npn111	npn111	y	4	2	y	y	y	y	y	y
vbic.scs	npn111h5	npn111h5	y	4	2	y	y	y	y	y	y
vbic.scs	npn121	npn121	y	4	2	y	y	y	y	y	y
vbic.scs	npn121h5	npn121h5	y	4	2	y	y	y	y	y	y
vbic.scs	npn132	npn132	y	4	2	y	y	y	y	y	y
vbic.scs	npn132h5	npn132h5	y	4	2	y	y	y	y	y	y
vbic.scs	npn143	npn143	y	4	2	y	y	y	y	y	y

modelFile	cellName	modelName	symbol	sym_term	cdfParam	spectre	hspiceD	layout	pcell	auCdl	auLvs
vbic.scs	npn143h5	npn143h5	y	4	2	y	y	y	y	y	y
vbic.scs	npn221h12	npn221h12	y	4	2	y	y	y	y	y	y
vbic.scs	npn232	npn232	y	4	2	y	y	y	y	y	y
vbic.scs	npn232h12	npn232h12	y	4	2	y	y	y	y	y	y
vbic.scs	npn232h5	npn232h5	y	4	2	y	y	y	y	y	y
vbic.scs	npn243	npn243	y	4	2	y	y	y	y	y	y
vbic.scs	npn243h12	npn243h12	y	4	2	y	y	y	y	y	y
vbic.scs	npn243h5	npn243h5	y	4	2	y	y	y	y	y	y
vbic.scs	npn254	npn254	y	4	2	y	y	y	y	y	y
vbic.scs	npn254h5	npn254h5	y	4	2	y	y	y	y	y	y
vbic.scs	vert10_4	vert10	y	4	1	y	y	y	n	y	y

Important Disclosures

Copyright© 2008 by GSA. All rights reserved. GSA grants a worldwide license to all PDK developers to add their data, contact information and logo to a copy of the GSA Mixed-Signal/RF PDK Checklist and distribute it to their partners, prospects and customers; however, all references to GSA, including GSA logo and GSA references may not be altered in any way. GSA makes no claims to the accuracy of the data entered on a GSA Mixed-Signal/RF PDK Checklist.